

**Semiconductor device - with active groove sides and bottom formed by the same crystal plane as the wafer surface**

**Patent Assignee: TOSHIBA KK**

**Inventors: KINUGAWA M**

Patent Family							
Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
DE 3530773	A	19860306	DE 3530773	A	19850828	198611	B
JP 61056446	A	19860322	JP 84178646	A	19840828	198618	
US 4971926	A	19901120	US 88285395	A	19881216	199049	
KR 9008386	B	19901117				199208	
JP 93054699	B	19930813	JP 84178646	A	19840828	199335	
DE 3530773	C2	19930916	DE 3530773	A	19850828	199337	

**Priority Applications (Number Kind Date): JP 84178646 A ( 19840828)**

Patent Details					
Patent	Kind	Language	Page	Main IPC	Filing Notes
DE 3530773	A		20		
JP 93054699	B		7	H01L-027/04	Based on patent JP 61056446
DE 3530773	C2		5	H01L-027/08	

**Abstract:**

**DE 3530773 A**

A semiconductor device includes a substrate with a basic surface formed by the crystal plane (100). A groove with side walls at right angles to this surface is covered by an insulating film and has in the region of the groove a capacitor, resistor or an insulated region. At least one, pref. all side walls of the groove, are formed by the crystal plane (100), including the bottom.

**ADVANTAGE** - This raises the integration density and removes the problem of leakage current or poor breakdown voltage due to different crystal planes of bottom and sides.

More specifically, the finished unit is applied to a capacitor element, and consists of a p-

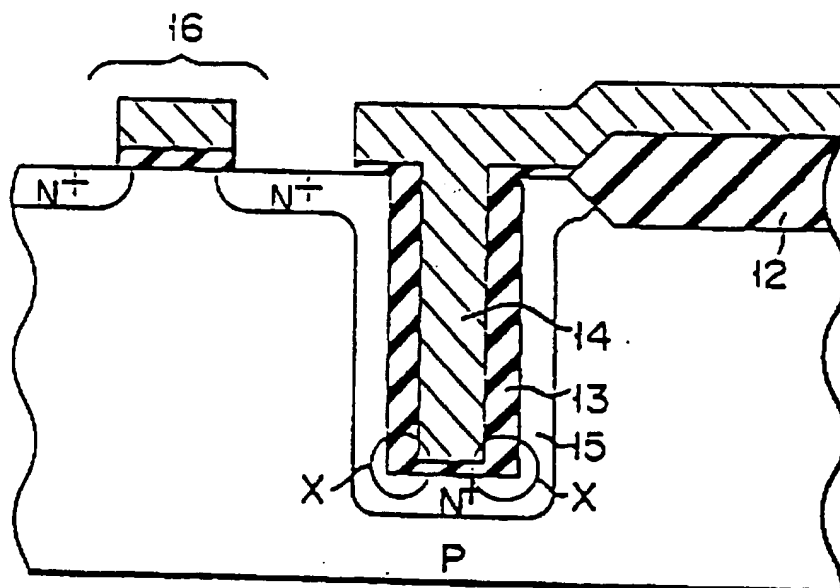
**THIS PAGE BLANK (USPTO)**

type silicon substrate (21) with a surface and the bottom and sides of a groove all in the crystal plane (100). A field oxide film (24) is produced by selective oxidn. The groove encloses an n<sup>+</sup>-type impurity diffusion region (26), a thermal oxide film (27) as the dielectric, and a polycrystalline silicon layer (28,29) as electrodes. (20pp Dwg.No.9D/9)  
US 4971926 A

The mfr. comprises forming Si semiconductor wafer having a (100) principal surface and a (110) orientation flat; forming a groove with sidewall surfaces perpendicular to the principal surface; forming an SiO insulating film covering the groove surfaces; and forming a capacitor or a high resistance resistor element or an element isolation region in the groove. The groove is formed such that the groove sidewalls are constituted by the (100) plane extending at 45 deg w.r.t. the direction of the (110) orientation flat, minimising current leakage and deterioration of breakdown voltage.

USE/ADVANTAGE - Used in IC mfr. Integration density can be increased, and prior art problems improved. (8pp)

FIG. 1



**THIS PAGE BLANK (USPTO)**



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑩ DE 35 30 773 C 2

⑤① Int. Cl.<sup>5</sup>:  
**H 01 L 27/08**  
H 01 L 21/72  
H 01 L 27/108

②① Aktenzeichen: P 35 30 773.0-33  
②② Anmeldetag: 28. 8. 85  
④③ Offenlegungstag: 6. 3. 86  
④⑤ Veröffentlichungstag  
der Patenterteilung: 16. 9. 93

2

DE 3530773 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③⑩ Unionspriorität: ③② ③③ ③①  
28.08.84 JP 178646/84

⑦③ Patentinhaber:  
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

⑦④ Vertreter:  
Eitle, W., Dipl.-Ing.; Hoffmann, K., Dipl.-Ing.  
Dr.rer.nat.; Lehn, W., Dipl.-Ing.; Fücksle, K.,  
Dipl.-Ing.; Hansen, B., Dipl.-Chem. Dr.rer.nat.;  
Brauns, H., Dipl.-Chem. Dr.rer.nat.; Görg, K.,  
Dipl.-Ing.; Kohlmann, K., Dipl.-Ing.; Kolb, H.,  
Dipl.-Chem. Dr.rer.nat., 81925 München; Ritter und  
Edler von Fischern, B., Dipl.-Ing., Pat.-Anwälte;  
Nette, A., Rechtsanw., 8000 München

⑦② Erfinder:  
Kinugawa, Masaaki, Tokio/Tokyo, JP

⑤⑥ Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

US 39 98 674  
EP 00 85 988 A2

⑤④ Verfahren zum Herstellen eines Kondensators für integrierte Schaltungsanordnungen

DE 3530773 C2

Die Erfindung betrifft ein Verfahren zum Herstellen eines in einer Nut eines p-Typ-Silizium-Substrats angeordneten Kondensators für integrierte Schaltungsanordnungen, wobei die Seitenwände der Nut senkrecht zur Hauptoberfläche des Substrats angeordnet werden, zur Bildung einer erster Kondensatorelektrode eine n-Typ-Schicht gebildet wird, zur Bildung eines Dielektrikums die Oberfläche thermisch oxidiert wird und zur Bildung einer zweiten Kondensatorelektrode polykristallines Silizium abgeschieden und dotiert wird.

Ein Verfahren dieser Gattung ist aus EP 00 85 988 A1 bekannt.

Aus der US 39 98 674 ist es bekannt, Nuten in einem Substrat mit (100)-Ebene vorzusehen, deren Seitenwandoberflächen durch die (100)-Ebene gebildet sind.

In Fig. 1 der beigefügten Zeichnungen ist ein DRAM-Speicherzellenkondensatorelement gezeigt, das auf einem p-Typ-Siliziumsubstrat 11 gebildet ist. Darin wird eine Nut mit rechtwinkligem Querschnitt durch einen RIE-Prozeß (reaktives Ionenätzen) gebildet. Eine n-Typ-Störstellenregion 15 wird durch Dotieren des Siliziumsubstrats 11 mit einer n-Typ-Verunreinigung bzw. Störstelle an der Wandoberfläche der Nut gebildet. Weiterhin weist das Kondensatorelement einen thermischen Oxidfilm 13 und eine polykristalline Siliziumelektrode 14 auf. 12 stellt einen Feldoxidfilm dar. Mit 16 ist ein Übertragungstransistor bezeichnet, dessen Senkenregion an die n-Typ-Störstellenregion 15 des Kondensatorelementes angrenzt.

Bei unterschiedlichen Kristallorientierungen ist der thermische Oxidfilm 13 längs des Nutenbodens unterschiedlich dick, wodurch die Durchbruchspannung in Bereichen, die in Fig. 1 durch Kreise X dargestellt sind, verschlechtert wird.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren der eingangs genannten Gattung so zu verbessern, daß ein in einer Nut vorgesehener Kondensator mit guter Ausbeute hergestellt werden kann.

Erfindungsgemäß wird diese Aufgabe mit den Merkmalen des Patentanspruchs 1 gelöst.

Weiterbildungen der Erfindung ergeben sich aus den dem Patentanspruch 1 nachgeordneten Patentansprüchen.

Mit dem erfindungsgemäßen Verfahren ist es möglich, eine einheitliche Oxidationsgeschwindigkeit über den Oberflächen der Nut zu erzielen. Die Durchbruchspannung und mit ihr die Integrationsdichte der Halbleiteranordnung können gesteigert werden, so daß bei der Herstellung eines in einer Nut vorgesehenen Kondensators eine gute Ausbeute erzielbar ist.

Ein bevorzugtes Ausführungsbeispiel des erfindungsgemäßen Verfahrens ist im folgenden anhand von Fig. 2 bis 4 der beigefügten Zeichnungen näher beschrieben.

In den Zeichnungen zeigen

Fig. 1 das vorerwähnte DRAM-Speicherzellenkondensatorelement,

Fig. 2 eine in der Draufsicht gezeigte Prinzipdarstellung eines Wafer mit einer nach dem erfindungsgemäßen Verfahren angeordneten Nut,

Fig. 3 eine Prinzipdarstellung zur Erläuterung der Ebenenorientierung der Seitenwände der Nut gemäß Fig. 2 und

Fig. 4A bis 4D Schnittansichten zur Veranschaulichung von aufeinanderfolgenden Schritten des erfindungsgemäßen Verfahrens.

Beim nachfolgend beschriebenen Ausführungsbei-

spiel des erfindungsgemäßen Herstellungsverfahrens wird ein konventionelles p-Typ-Siliziumsubstrat 21 verwendet, dessen Hauptoberfläche durch die Kristallebene (100) gebildet ist und welches eine Orientierungsfläche oder Flachseite 22 aufweist, welche durch die Kristallebene (110) gebildet ist. Ein Feldoxidfilm 24 wird selektiv auf der Oberfläche des p-Typ-Siliziumsubstrates 21 gebildet. Sodann wird eine Nut 23' durch selektives RIE gebildet unter Verwendung eines Musters zur Bildung eines Kondensatorelementes in einer Elementenregion. In diesem Zeitpunkt wird, wie in Fig. 2 gezeigt, die Nut 23' gebildet, so daß sie eine rechtwinklige Ebenenform aufweist und sich in einer Richtung in einem Winkel von 45° in bezug auf die Orientierungsfläche 22 erstreckt. Die Seitenwände der Nut 23', welche rechtwinklig zur Grundfläche des Substrates sind, werden sämtlich durch die Kristallebene (100), wie in Fig. 3 gezeigt, gebildet bzw. festgelegt. Die Bodenoberfläche der Nut 23', die parallel zur Hauptoberfläche des Substrates ist, wird durch die Kristallebene (100) festgelegt und gebildet. Somit werden alle Nutwände, welche die Nut 23' bilden, durch die Kristallebene (100) festgelegt. Die Nut 23' in Fig. 2 ist nur zu Zweck gezeigt, die Richtung zu veranschaulichen, und weicht in Form und Größe von den tatsächlichen Dimensionen stark ab.

Fig. 4A zeigt einen Querschnitt durch eine Elementenregion mit einer Nut 23', welche für ein Kondensatorelement gebildet ist.

Nach Bildung der Nut wird ein PSG-Film (phosphor-dotierter Siliziumoxidfilm) 25 mit einer Filmdicke von ungefähr 300 nm durch einen CVD-Prozeß über die gesamte Fläche, wie in Fig. 4B gezeigt, aufgebracht. Das System wird dann bei 1000°C für 10 Minuten wärmebehandelt bzw. getempert, wodurch Phosphor thermisch vom PSG Film 25 in das Siliziumsubstrat diffundiert, um eine n<sup>+</sup>-Typ-Störstellendiffusionsregion 26 zu bilden.

Darauffolgend wird der PSG Film 25 abgetrennt und die Oberfläche des Siliziumsubstrates thermisch oxidiert, um einen thermischen Oxidfilm 27 zu bilden, welcher eine Dicke von ungefähr 10 nm aufweist. Sodann wird eine polykristalline Siliziumschicht 28 mit einer Dicke von ungefähr 35 nm durch einen CVD-Prozeß aufgebracht. Anschließend wird Phosphor während 30 Minuten diffundiert und eine weitere polykristalline Siliziumschicht 29 über die gesamte Oberfläche abgelagert, um die Nut 23' zu füllen, wodurch eine Struktur gemäß Fig. 4 erhalten wird.

Danach werden die nicht benötigten Bereiche des thermischen Oxidfilms 27 und der polykristallinen Siliziumschichten 28 und 29 entfernt, wodurch ein Kondensatorelement gemäß Fig. 4D gebildet wird, welches eine n<sup>+</sup>-Typ-Störstellendiffusionsregion 26 und eine polykristalline Siliziumschicht 28 als Elektroden und den thermischen Oxidfilm 27 als Dielektrikum aufweist.

Im obigen Kondensatorelement sind die Oberflächen der Nut 23' sämtlich in der Kristallebene (100), so daß der thermische Oxidfilm 27 eine einheitliche Dicke aufweist. Es ist so möglich, eine durch Ungleichmäßigkeiten des Oxidfilms bedingte Verschlechterung der Durchbruchspannung zu vermeiden, wodurch ausgezeichnete Charakteristiken erhalten werden.

Beim obigen Ausführungsbeispiel ist die Bodenfläche der Nut parallel zur Grundfläche des Halbleiterwafers. Die Nut kann aber auch einen Boden mit einem V-förmigen Profil aufweisen.

Wie im Vorhergehenden beschrieben wurde, wird eine Nut mit Seitenwänden senkrecht zur Grundoberfläche eines Siliziumsubstrates für ein Kondensatorele-

ment verwendet. Die Integrationsdichte wird erhöht. Eine Verschlechterung der Durchbruchsspannung aufgrund unterschiedlicher Kristallebenen der Bodenfläche und der Seitenflächen der Nut wird vermieden.

#### Patentansprüche

1. Verfahren zum Herstellen eines in einer Nut eines p-Typ-Silizium-Substrats angeordneten Kondensators für eine integrierte Schaltungsanordnung, umfassend folgende Schritte:
  - a) Ausbilden der Nut in einem Silizium-Substrat mit einer Hauptoberfläche in einer (100)-Ebene und mit einer Orientierungsflachseite in einer (110)-Ebene derart, daß die länglichen Seitenwände der Nut einen Winkel von 45° in bezug auf die Orientierungsflachseite bilden, wobei diese Seitenflächen der Nut senkrecht zur Hauptoberfläche und in (100)-Ebenen angeordnet sind,
  - b) Ausbilden einer n-Typ-Schicht auf der gesamten Oberfläche der Nut durch Aufbringen einer n-Typ-Verunreinigung enthaltenden Schicht in Form eines PSC-Films, Tempern des Schichtaufbaus und anschließendes Entfernen des Films zur Bildung einer ersten Elektrode des Kondensators,
  - c) thermisches Oxidieren der Oberfläche des Substrates zur Bildung einer dielektrischen Schicht und
  - d) Abscheiden einer Schicht aus polykristallinem Silizium und Dotieren dieser Schicht zur Bildung einer zweiten Elektrode des Kondensators.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß auf die unter Abscheidung von polykristallinem Silizium gebildete zweite Kondensatorelektrode eine weitere polykristalline Siliziumschicht abgelagert wird.
3. Verfahren nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die für die Ausbildung des Kondensators nicht benötigten Bereiche der zur Bildung des Dielektrikums gebildeten thermischen Oxidschicht und der polykristallinen Siliziumschichten entfernt werden.

Hierzu 3 Seite(n) Zeichnungen

FIG. 1

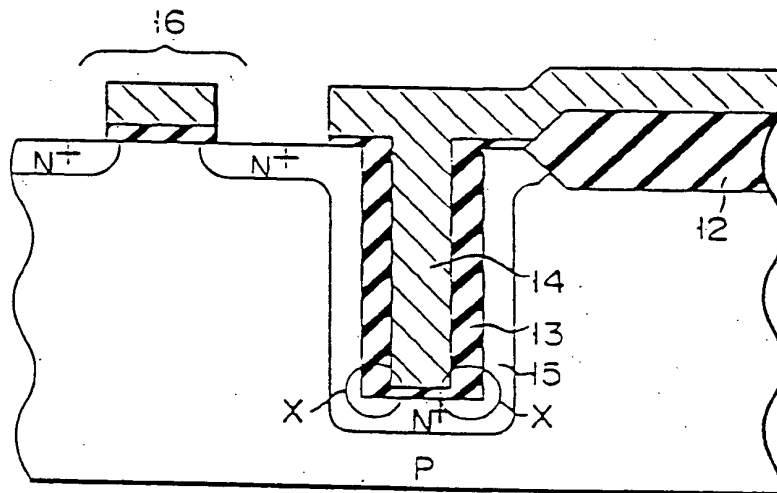




FIG. 2

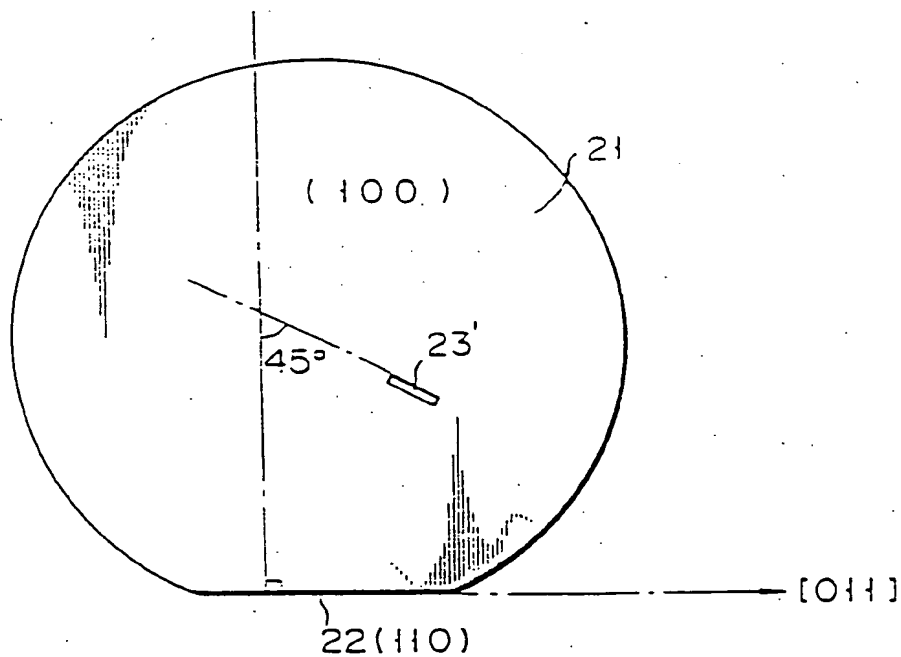


FIG. 3

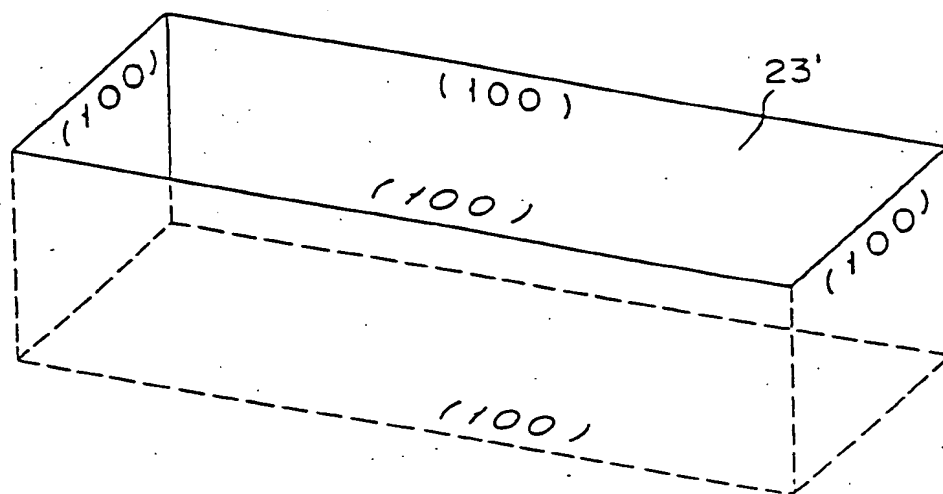


FIG. 4A

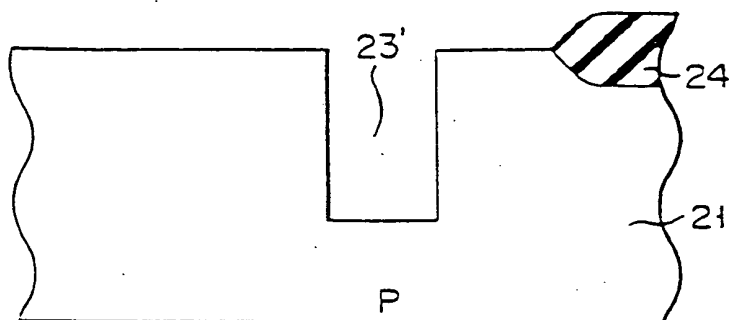


FIG. 4B

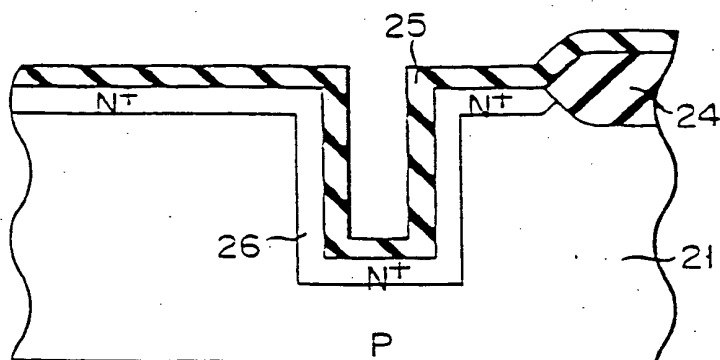


FIG. 4C

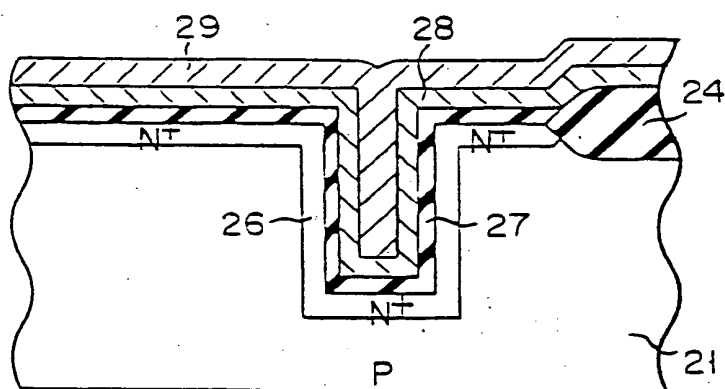


FIG. 4D

